



(19)

(11) Publication number:

02275641 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **01097173**

(51) Intl. Cl.: **H01L 21/336** H01L 21/20 H01L 21/263
H01L 29/784

(22) Application date: **17.04.89**

(30) Priority:

(43) Date of application
publication: **09.11.90**

(84) Designated contracting
states:

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **OKA HIDEAKI**

(74) Representative:

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

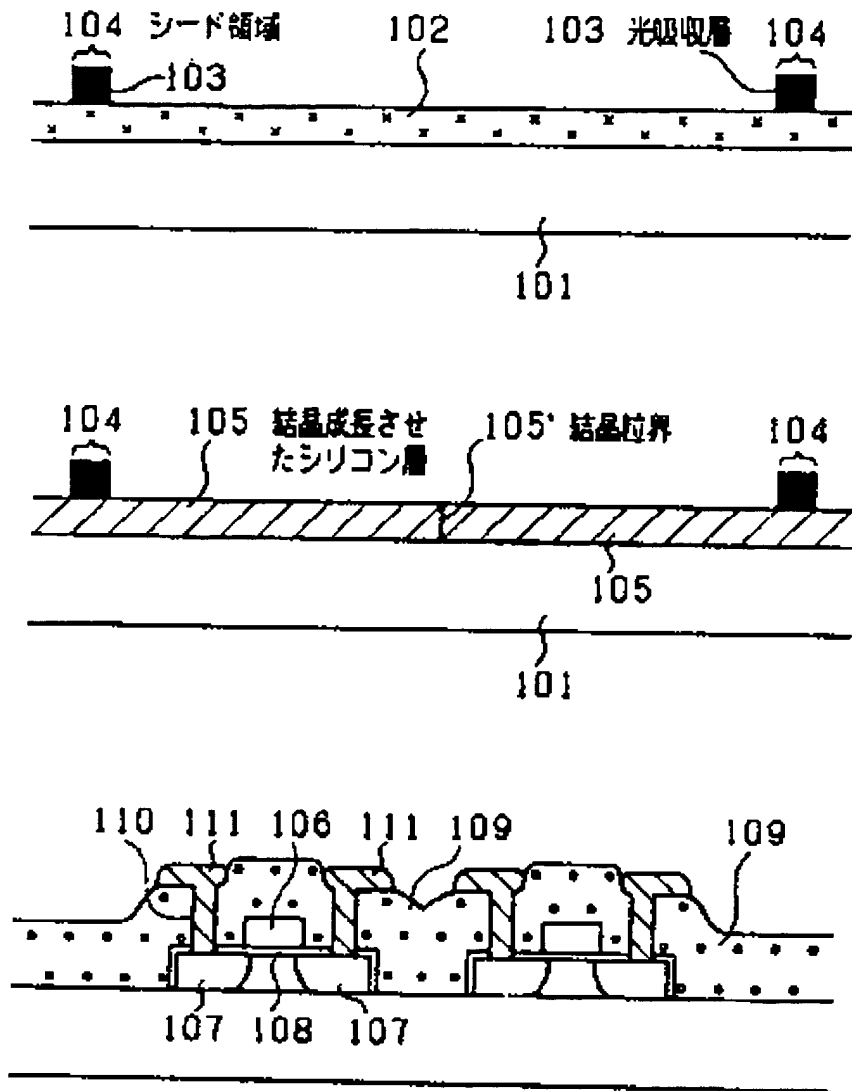
(57) Abstract:

PURPOSE: To control a position, where there is a crystal grain boundary, and to form a semiconductor element selectively in a crystallized region by choicely crystal-growing single crystal silicon, etc., onto an insulating amorphous material.

CONSTITUTION: An amorphous material layer 102 mainly comprising silicon is formed onto an insulating amorphous material 101, and an optical absorption layer 103 having a band gap narrower than the amorphous material is shaped onto the layer 102, and removed through etching with the exception of sections as seed regions 104. The amorphous material layer 102 is crystal-grown through heat treatment while irradiating light. Light is irradiated in order to make the temperatures of the seed regions 104 higher than other

regions and easily generate crystal growth selectively from the seed regions at that time. Lastly, semiconductor elements 106-111 are formed to a crystal-grown silicon layer 105. Accordingly, the position of a crystal grain boundary is controlled, and the semiconductor elements can be shaped selectively in a crystal region.

COPYRIGHT: (C)1990,JPO&Japio



⑫ 公開特許公報(A) 平2-275641

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月9日

H 01 L 21/336
21/20
21/263
29/784

7739-5F

8624-5F H 01 L 29/78 3 1 1 Z
審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-97173

⑰ 出 願 平1(1989)4月17日

⑱ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) (a) 絶縁性非晶質材料上に、シリコンを主体とする非晶質材料層を形成する工程、

(b) 該非晶質材料層に少なくとも一部を接する様に、該非晶質材料よりバンドギャップが狭い材料を形成しパターン形成する工程、

(c) 光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法。

2) (a) 絶縁性非晶質材料上に、工程(b)で形成する非晶質材料よりバンドギャップが狭い材料を形成し、パターン形成する工程、

(b) 工程(a)で形成されたパターンに少なくとも一部を接する様に、シリコンを主体とする非晶質材料層を形成する工程、

(c) 光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に選択的に単結晶半導体膜を形成する半導体装置の製造方法に関する。

〔従来の技術〕

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TF

T)を形成する場合を例とすると、(1)プラズマCVD法等により形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)溶解再結晶化法等により形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、多結晶シリコンTFT $\sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による溶解再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注

目され、研究が進められている。(Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1986) p.L121)

[発明が解決しようとする課題]

しかし、従来の技術では、多結晶シリコンの粒径、結晶粒界の存在する位置を十分に制御することが困難であった。従って、仮に大粒径の多結晶シリコンが形成できたとしても、結晶粒の内部に形成されたTFTと結晶粒界部にTFTのチャンネル領域が位置したTFTの間で特性が大幅に異なることから、TFTで構成した走査回路の動作速度が、結晶粒界部に位置する特性の悪いTFTの特性で制限されたり、最悪の場合は、回路が動作しない等の重大な問題が発生した。

そこで、本発明はこのような問題点を解決するもので、その目的とするところは結晶粒界の位置を制御し、半導体素子を結晶領域に選択的に形成する製造方法を提供するものである。

[課題を解決するための手段]

本発明の半導体装置の製造方法は、

(a) 絶縁性非晶質材料上に、シリコンを主体と

る。

[実施例]

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシリコンを主体とする非晶質材料層102を形成する工程である。該非晶質材料層の形成方法としては、プラズマCVD法、蒸着法、EB蒸着法、MBE法、スパッタ法、CVD法等で非晶質シリコン(a-Si)を成膜する方法と、微結晶シリコン($\mu\text{-c-Si}$)もしくは多結晶シリコン(poly-Si)等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等で形成後、Si, Ar, B, P, He, Ne, Kr, H等の元素をイオン打ち込みして、該微結晶シリコンもしくは多結晶シリコン等を非晶質化する等の方法がある。

する非晶質材料層を形成する工程、

(b) 該非晶質材料層に少なくとも一部を接する様に、該非晶質材料よりバンドギャップが狭い材料を形成しパターン形成する工程、

(c) 光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする。

さらに、本発明の半導体装置の製造方法は、

(a) 絶縁性非晶質材料上に、工程(b)で形成する非晶質材料よりバンドギャップが狭い材料を形成し、パターン形成する工程、

(b) 工程(a)で形成されたパターンに少なくとも一部を接する様に、シリコンを主体とする非晶質材料層を形成する工程、

(c) 光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とす

膜厚は200Å～5000Å程度が望ましい。特に、シード領域(後述)との膜厚比の違いを大きくした方が、光吸収率の違いによる温度勾配が大きくなるため、膜厚は200Å～1000Å程度の方が望ましい。また、TFTのオン電流を大きくするには、ゲート絶縁膜下のシリコン層厚を薄くした方がよいため、やはり膜厚は薄い方が望ましい。

(B)は、該非晶質材料層102上に、該非晶質材料よりバンドギャップが狭い光吸収層103を形成し、シード領域104となる部分を除いて、エッチング除去する工程である。該光吸収層103としては、(1)プラズマCVD法、蒸着法、MBE法、スパッタ法、CVD法等で非晶質ゲルマニウム(a-Ge)、非晶質シリコン-ゲルマニウム(a-SiGe)等の非晶質シリコンよりもバンドギャップが狭い材料を形成する方法、(2)非晶質シリコンを工程Aと異なる条件で形成して、バンドギャップを狭くする方法等がある。条件により非晶質シリコン層のバンドギャップを変える方法は、例えば、

域と比べて高くして、シード領域から選択的に結晶成長が起こり易くすることにある。シード領域は他の領域と比べて、バンドギャップが狭い材料が積層され、更に、その分膜厚が厚くなっているため、光の吸収率が大きく、温度が上昇し易い。光源としては、バンドギャップ及び膜厚の違いによる光吸収の違いを有効に出すために、赤外光が赤外に近い可視光が望ましく、赤外線ランプやHe-Neレーザ等が適しているが、これに限らず、キセノンランプ、ハロゲンランプ、水銀ランプ、エキシマレーザ等を用いてもよい。シード領域が、膜厚の薄い領域(以下薄膜領域と記す)と比べて、50℃以上高温となるように光源の種類及び照射強度を最適化することが望ましい。熱処理温度は非晶質材料層102の形成方法によってその最適値が異なるが、550℃～650℃程度が望ましい。熱処理時間は数時間から30時間程度である。尚、光照射は、熱処理を行っている間、常に行う必要はない、シード領域に結晶核が発生する前後まで、光を照射することが特に重要である。従って、光

プラズマCVD法で基板温度を変えて成膜する方法がある。即ち、非晶質材料層102を150℃～200℃程度の比較的低温で形成し、光吸収層103を300℃～350℃程度の比較的高温で形成することで、光吸収層のバンドギャップを非晶質材料層に比べて狭くする方法が有効である。この他にも、非晶質材料層と光吸収層の成膜方法を変える方法も有効である。例えば、非晶質材料層をプラズマCVD法で形成し(バンドギャップ1.7～1.8eV程度)、光吸収層を膜中に水素が取り込まれ難いスパッタ法もしくは蒸着法等で形成することで、光吸収層のバンドギャップを1.3～1.4eVと狭くすることが出来る。光吸収層の膜厚は、光吸収率を高めるために、非晶質材料層の膜厚と同程度かそれ以上であることが望ましい。但し、光吸収層のバンドギャップが非晶質材料層と比べて十分に小さい場合は、この限りではない。(C)は、光を照射しながら、熱処理を行い、該非晶質材料層102を結晶成長させる工程である。光を照射する目的は、シード領域104の温度を他の領

照射時間は、最初の数十分から数時間程度で十分である。また、光を連続照射すると、シード領域から熱が伝導し、薄膜領域も温度が上昇する為、シード領域以外でも結晶核が発生し易くなる傾向がある。この場合、一定時間光を照射した後、一定時間光照射を中断することで薄膜領域の温度上昇を抑える方法が特に有効である。例えば、パルス状のレーザ光照射したり、キセノンランプや赤外線ランプ等をフラッシュ点灯させたり、チョッパー等でパルス光にして照射する等の方法で一定時間(例えば、数百ns～数百ms程度)照射した後、一定時間光照射を中断して温度を安定させた後で再び光を照射するというサイクルを繰り返すことで、シード領域以外の温度上昇を最小限に抑えることが出来る。

(D)は、結晶成長させたシリコン層105(105'は結晶粒界を示す)に半導体素子を形成する工程である。尚、第1図(D)では、半導体素子としてTFTを形成する場合を例としている。図において、106はゲート電極、107はソース・ドレイン領

域、108はゲート絶縁膜、109は層間絶縁膜、110はコンタクト穴、111は配線を示す。TFT形成法の一例としては、シリコン層105をパターン形成し、ゲート絶縁膜を形成する。該ゲート絶縁膜は熱酸化法で形成する方法(高温プロセス)とCVD法もしくはプラズマCVD法等で600℃程度以下の低温で形成する方法(低温プロセス)がある。低温プロセスでは、基板として安価なガラス基板を使用できるため、大型な液晶表示パネルや密着型イメージセンサ等の半導体装置を低コストで作成できるほか、三次元IC等を形成する場合においても、下層部の素子に悪影響(例えば、不純物の拡散等)を与えずに、上層部に半導体素子を形成することが出来る。続いて、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。

品質材料層202上に、該非晶質材料よりバンドギャップが狭い光吸収層203を形成し、シード領域204となる部分を除いて、エッチング除去する工程である。

(C)は、該非晶質材料層203を所定の形状にパターン形成する工程である。第2図及び第3図では該非晶質シリコン層を素子を形成する領域となる島状領域205と該島状領域205と該シード領域204を結ぶ連結領域206を少なくとも有する形状にパターン形成する場合を例としている。

(D)は、光を照射しながら、熱処理を行い、該非晶質材料層202を該シード領域204を起点として、選択的に結晶成長させる工程である。熱処理温度は550℃～650℃程度で数時間～30時間程度の熱処理を行う。

非晶質シリコン層を前述の如く島状領域205と連結領域206を有する形状にパターン形成しておくと、シード領域で複数の結晶核が生成した場合でも、どちらか一方の優勢な(結晶成長速度が速い、又は、結晶核が早く発生した等の)結晶成長が細い

本発明に基づく半導体装置の製造方法で作製した低温プロセスTFT(Nチャンネル)の電界効果移動度は、 $200 \sim 350 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、ガラス基板上に高性能なTFTを形成することが出来た。これは、本発明の製造方法により、選択的な結晶成長が再現性良くできるようになった結果可能となった。さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気中に半導体素子をさらす工程を設けると、欠陥密度が低減され、前記電界効果移動度はさらに向上する。

第2図及び第3図は、本発明の実施例における半導体装置の製造工程図の別の一例である。第2図は断面図、第3図は平面図である。

第2図及び第3図において、(A)は、第1図に示した実施例と同様に、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料201上にシリコンを主体とする非晶質材料層202を形成する工程である。

(B)は、第1図に示した実施例と同様に、該非

連結領域で選択され、島状領域は単結晶化される。さらに、光吸収によってシード領域で発生した熱が、連結領域が細いため、島状領域まで伝わり難く、島状領域とシード領域の温度差が付き易いという利点もある。

第4図に結晶成長の模式図を示す。第4図において、401は島状領域、402は連結領域、403はシード領域、404及び405は結晶粒を示す。

又、連結領域で単一の結晶成長に選択されない場合でも第5図の結晶成長の模式図に示すように結晶粒界が存在する位置は大幅に制限される。第5図において、501は島状領域、502は連結領域、503はシード領域、504は結晶粒界が存在する確率が高い位置であり、505は結晶粒界の存在する確率がほぼ零の領域である。506は両者の中間の領域(グレーゾーン)である。従って、半導体素子として、MOS型トランジスタやTFTを例とするならば、該素子のチャンネル領域が領域405に入るように素子を配置すれば、結晶粒界による素子特性の大幅なばらつきを無くすることができる。

(E)は、結晶成長させた島状領域205に半導体素子を形成する工程である。尚、第2図(E)では、半導体素子としてTFTを形成する場合を例としている。図において、207はゲート電極、208はソース・ドレイン領域、209はゲート絶縁膜、210は層間絶縁膜、211はコンタクト穴、212は配線を示す。TFT形成の形成方法は第1図の実施例と同様の方法で形成できる。前述のようにTFTのチャンネル領域213を結晶粒界の存在する確率がほぼ零の領域に配置することで結晶粒界による素子特性のばらつきを皆無にし、歩留りを大幅に向上させることができた。

非晶質シリコン層のパターン形状は第2図に示した形状の他にも様々な形状が考えられる。例えば、第6図～第8図は本発明の実施例における連結領域の平面図の例を示す。第6図～第8図において、601,701,801はシード領域、602,702,802は島状領域、603,703,803は連結領域、604,605,704,705,804,805は結晶粒を示す。連結領域の幅にテーパーをつけたり、幅の狭い領域706を設ける等連結

起こるようにする点にある。

[発明の効果]

以上述べたように、本発明によればガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料上に単結晶シリコン等を選択的に結晶成長させ、結晶粒界が存在する位置を制御できるようになった。その結果、結晶化された領域に選択的に半導体素子を形成することが可能となった。本発明によれば、絶縁性非晶質材料上にSiウェハー上に形成した半導体素子に匹敵する高性能な半導体素子を形成できるようになった。大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

さらに、熔融再結晶化法等とは異なり、本発明はせいぜい650℃程度の低温の熱処理が加わるだけであるため、(1)基板として安価なガラス基板を使用できる。(2)三次元ICでは、下部の素子に悪影響(例えば、不純物の拡散等)を与えずに上層部に半導体素子を形成することが出

領域の形状を工夫することで、結晶成長の選択をより完全に行うことができる。又、連結領域等にP(リン)等の不純物を $10^{19} \sim 10^{21} \text{ cm}^{-3}$ 程度ドーピングして結晶成長速度を10倍程度に上げることは、熱処理時間の短縮となり、素子形成領域である島状領域をより広く結晶化することができ特に有効である。

尚、本実施例では、非晶質材料層を形成後、該非晶質材料層よりもバンドギャップが狭い光吸収層を形成しパターン形成する場合を示したが、本発明はこれに限定されるものではない。例えば、非晶質材料層とバンドギャップが狭い光吸収層の積層順はこの逆でも良い。即ち、光吸収層を形成し、パターン形成後、非晶質材料層を形成しても良い。また、光吸収層103として、Mo、Cr等の金属を用いても、光照射によりシード領域の温度を高くする効果がある。以上述べたように、本発明の趣旨は、シード領域の光吸収率を大きくして、光照射によってシード領域の温度を他の領域と比べて高くし、シード領域から選択的に結晶成長が

来る。等のメリットもある。

また、本発明は、実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を絶縁材料上に形成する場合に極めて有効な製造方法となる。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の実施例における半導体装置の製造工程図である。

第2図(a)～(e)及び第3図(a)～(e)は本発明の別の実施例における半導体装置の製造方法の断面図と平面図である。

第4図及び第5図は結晶成長の模式図である。

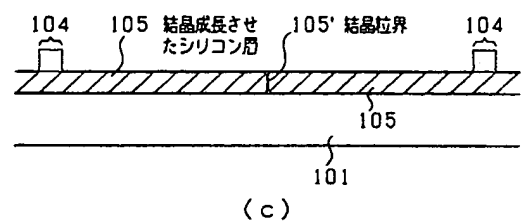
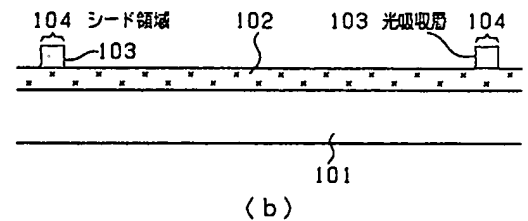
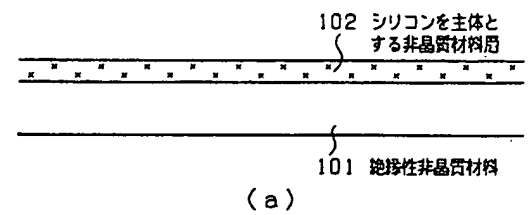
第6図～第8図は本発明の実施例における連結領域の平面図である。

- 101,201 … 絶縁性非晶質材料
- 102,202 … 非晶質材料層
- 103,203 … 光吸収層
- 104,204 … シード領域

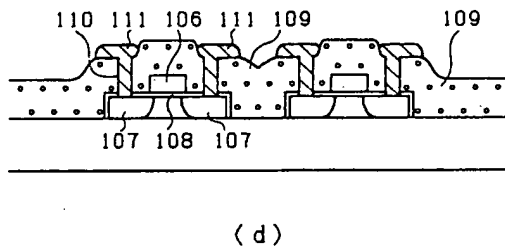
- 106,207 ... ゲート電極
 107,208 ... ソース・ドレイン領域
 108,209 ... ゲート絶縁膜
 109,210 ... 層間絶縁膜
 110,211 ... コンタクト穴
 111,212 ... 配線
 401,501,602,702,802 ... 島状領域
 402,502,603,703,803 ... 連結領域
 403,503,601,701,801 ... シード領域

以上

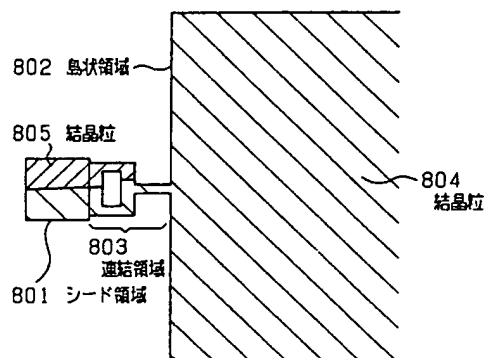
出願人 セイコーエプソン株式会社
 代理人弁理士 鈴木喜三郎(他1名)



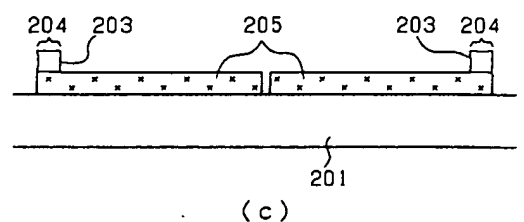
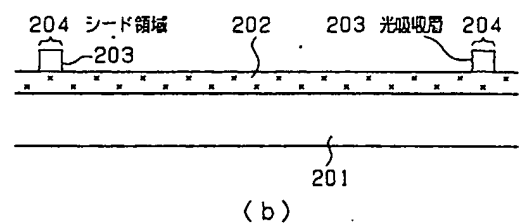
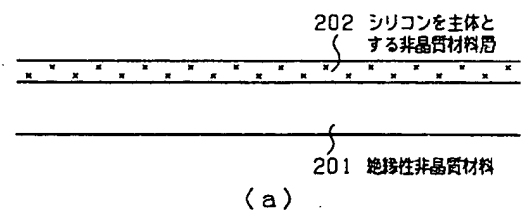
第 1 図



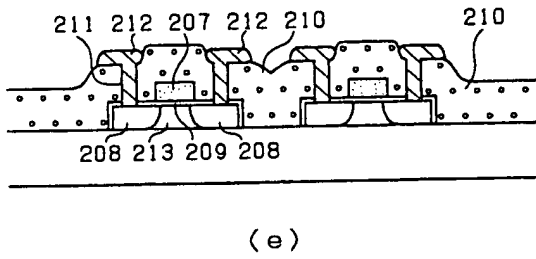
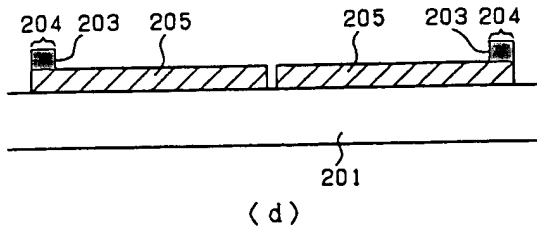
第 1 図



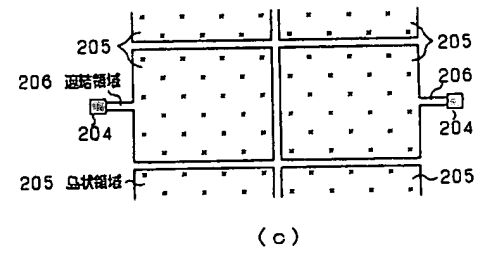
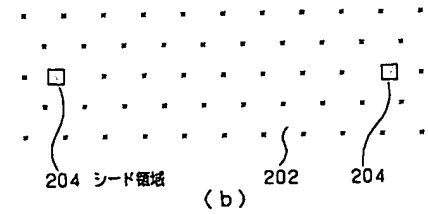
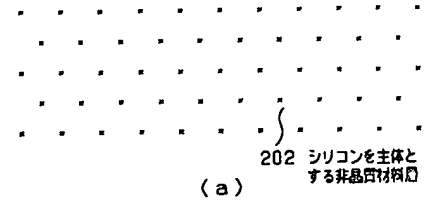
第 8 図



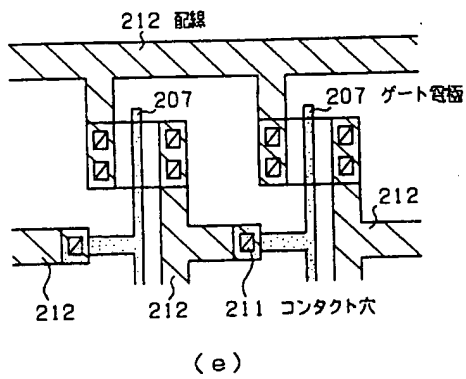
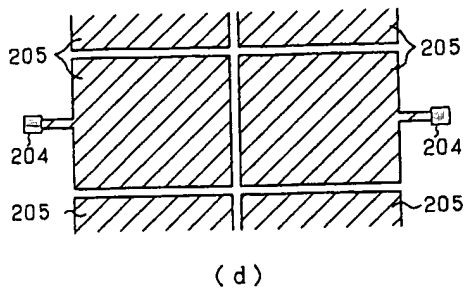
第 2 図



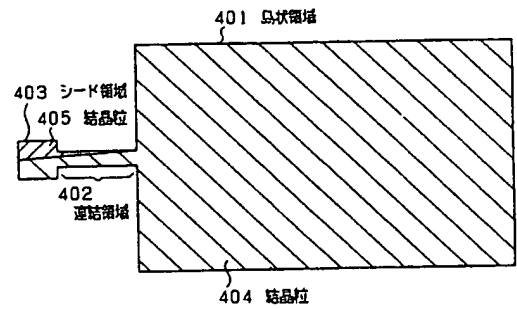
第 2 図



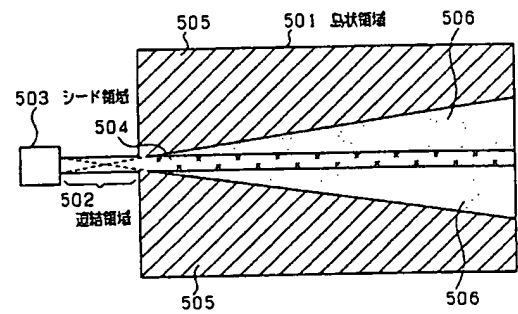
第 3 図



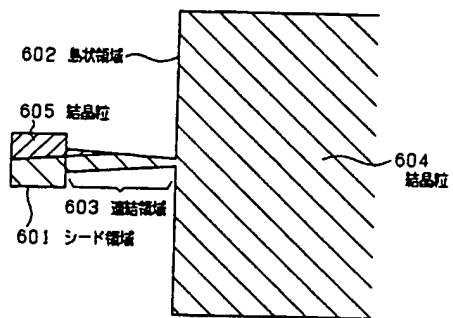
第 3 図



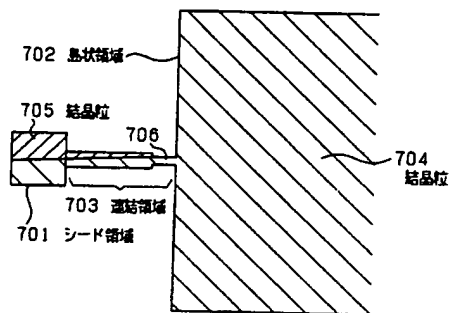
第 4 図



第 5 図



第 6 図



第 7 図